

(54) SEMICONDUCTOR MANUFACTURING DEVICE

(11) 4-98839 (A) (43) 31.3.1992 (19) JP

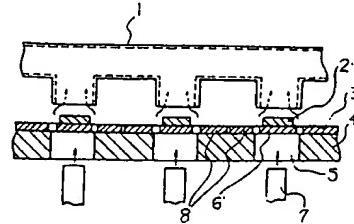
(21) Appl. No. 2-216132 (22) 16.8.1990

(71) NEC KYUSHU LTD (72) TAKASHI OKUMURA

(51) Int. Cl. H01L21/52

PURPOSE: To cure the brazing metal of a lead frame without being affected by heat to inner leads even in the lead frame made using a material, which is easily subjected to the effect of heat by a method wherein the island parts only of the lead frame are heated.

CONSTITUTION: A lead frame 3 with semiconductor devices 2 die bonded thereon is transferred on a transfer rail 4 and island parts 6 of the lead frame are respectively stopped on transfer rail hole parts 5 provided at the same pitch. The island parts 6 only of the lead frame are heated with high-temperature nitrogen blown off from high-temperature nitrogen blow-off nozzles 7 through the hole parts 5 and a brazing metal, on which the elements 2 are die bonded, is cured. At that time, a duct 1 for hot gas exhaust is provided over the upper parts of the devices 2 for preventing inner lead parts 8 from being affected by heat.



(54) PLASTIC PACKAGED IC

(11) 4-98840 (A) (43) 31.3.1992 (19) JP

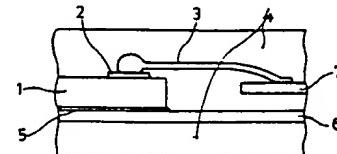
(21) Appl. No. 2-215734 (22) 17.8.1990

(71) KAWASAKI STEEL CORP (72) KENJI HAMAGISHI

(51) Int. Cl. H01L21/60

PURPOSE: To reduce the thickness of a plastic packaged IC and the weight of the package IC as well as to maintain the reliability of the packaged IC by a method wherein the side end part of the wiring terminal of a wiring between the wiring terminal of an IC chip and the pin terminal of a lead frame is formed substantially in parallel to the surface of the IC chip.

CONSTITUTION: A bonding wire 3 is led out from a wiring pad 2 of an IC chip 1 in parallel to the surface of the chip 1 and is bonded on an inner lead 7. A die pad 6 is horizontally held for leading out the wire 3 in parallel to the surface of the chip 1, a bonding head is made to approach the pad 2 from above, a bond part of the pad 2 is pressed by a bonder in the direction perpendicular to the bonding head and after being bonded on the pad 2, the gold bonding wire 3 is bonded on the lead 7 while the bonding head is lifted upward.



(54) SEMICONDUCTOR DEVICE

(11) 4-98841 (A) (43) 31.3.1992 (19) JP

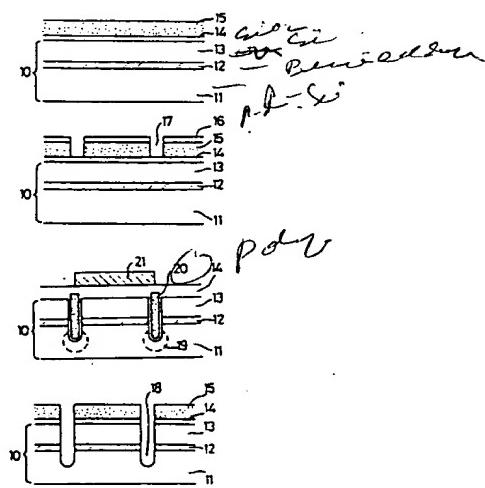
(21) Appl. No. 2-216635 (22) 17.8.1990

(71) IWATSU ELECTRIC CO LTD (72) MITSUHARU TAKEMURA(1)

(51) Int. Cl. H01L21/60, H01L21/76

PURPOSE: To suppress the spreading components in the lateral direction of P-N junction capacitance between buried layers and first semiconductor layers and to lessen the capacitance between an electrode pad and the rear of a semiconductor substance by a method wherein dielectric which are extended from the buried layers to the first semiconductor layers in the longitudinal direction are provided in such a way that the buried and first semiconductor layers in the vicinity of the arrangement region of the electrode pad are respectively isolated from the buried and first semiconductor layers on the peripheries of the buried and first semiconductor layers in the vicinity of the region where pads are provided.

CONSTITUTION: A resist 16 and parts, which are located in openings 17, of a silicon oxide film 14 are removed, an etching, which penetrates an N-type silicon epitaxial layer 13 and a buried layer 12, and reaches a P-type silicon semiconductor layer 11, is performed and trenches 18 are formed. Then, polysilicon films 20 which are dielectrics are deposited in such a way that the trenches 18 are completely filled and after that, the polysilicon films 20 are etched to the position of the firstly formed film 14 and the surfaces of the polysilicon films 20 are made flat. Moreover, a field oxidation is performed to make thick the film 14 and a circuit element is formed. After that, an electrode pad 21 for wire bonding use is formed on the film 14. Thereby, the capacitance between the pad 21 and the rear of a semiconductor substrate can be lessened.



⑫ 公開特許公報 (A)

平4-98841

⑮ Int. Cl.⁵H 01 L 21/60
21/76識別記号 301 P
L庁内整理番号 6918-4M
9169-4M

⑯ 公開 平成4年(1992)3月31日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特願 平2-216635

⑯ 出願 平2(1990)8月17日

⑰ 発明者 竹村 光治 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社
内⑰ 発明者 木村 英二 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社
内

⑰ 出願人 岩崎通信機株式会社 東京都杉並区久我山1丁目7番41号

⑰ 代理人 弁理士 佐藤 正美

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1の半導体層、埋め込み層、及び第2の半導体層を縦方向にこの順に有する半導体基板と、この半導体基板の前記第2半導体層上に設けられた電極パッドとを備えた半導体装置において、

前記電極パッドの配設領域付近の前記埋め込み層及び前記第1半導体層と、その周囲の前記埋め込み層及び前記第1半導体層とを分離するように、少なくとも前記埋め込み層から前記第1半導体層へ縦方向に延びる誘電体を具備することを特徴とする半導体装置。

(2) 前記誘電体の横方向の断面形状が、前記電極パッドの外縁と実質的に同一であることを特徴とする請求項(1)記載の半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、電極パッドを有する半導体装置に関する。

【従来の技術】

第3図は、従来の集積回路用半導体装置の一例を示す。この例の半導体装置の半導体基板30は、第1の半導体層31、低抵抗の埋め込み層32及び第2の半導体層33を下から上にこの順に有する。第2半導体層33の上には絶縁膜34を介して電極パッド35が設けられる。電極パッド35は、ワイヤボンディング等によって外部接続するためのボンディングパッドであって、絶縁膜34の配線導体(図示せず)に比べて幅広(大面積)に形成されている。

【発明が解決しようとする課題】

ところで、第3図の半導体装置の電極パッド35と半導体基板30の裏面との間には、必然的に容量Cが存在する。この容量Cは、半導体装置の高周波性能に悪影響を与える。例えば、第3図に

示されるように、半導体基板30の裏面は、通常、アースに接続されるため、入力信号が供給される電極パッド35と半導体基板30の裏面とが、絶縁膜34の容量C1と、第2半導体層33の抵抗R2と、埋め込み層32の抵抗RB(抵抗値は低い)と、埋め込み層32と第1半導体層31との間のpn接合容量C2と、第1半導体層31の抵抗R1とを直列接続した回路で電気的に接続されるので、入力信号の高周波成分がアースへ漏れ、このため、入力信号が劣化してしまう。

上述のように、電極パッド35と半導体基板30との間の容量Cは、絶縁膜34の容量C1と、埋め込み層32と第1半導体層31との間のpn接合容量C2とからなる。これらの容量のうち、絶縁膜34の容量C1は、絶縁膜34が電極パッド35の直下に位置するため、容量として機能する部分の面積は、電極パッド35の面積に等しいと考えられるが、埋め込み層32と第1半導体層31との間のpn接合容量C2は、このpn接合が電極パッド35から数ミクロン深い位置にある

ために、横方向への広がり成分がかなり大きくなると考えられる。

この発明は、第1の半導体層、埋め込み層、及び第2の半導体層を縦方向にこの順に有する半導体基板と、この半導体基板の第2半導体層上に設けられた電極パッドとを備えた半導体装置において、埋め込み層と第1半導体層との間のpn接合容量の横方向への広がり成分を抑えて、電極パッドと半導体基板裏面との間の容量を小さくすることを目的とする。

【課題を解決するための手段】

上記目的を達成するために、この発明による半導体装置は、電極パッドの配設領域付近の埋め込み層及び第1半導体層と、その周囲の埋め込み層及び第1半導体層とを分離するように、少なくとも埋め込み層から第1半導体層へ縦方向に延びる誘電体を具備する。

上記誘電体の横方向の断面形状を、電極パッドの外線と実質的に同一とするのが好ましい。

【作用】

上述のように構成されたこの発明による半導体装置においては、埋め込み層と第1半導体層との間のpn接合容量が誘電体によって囲まれた部分の容量に限定されるので、pn接合容量を小さくできる。したがって、入力信号の高周波成分が電極パッドと半導体基板裏面との間の容量を介して他に与える影響が小さくなる。

また、誘電体の横方向の断面形状を電極パッドの外線と実質的に同一にすると、埋め込み層と第1半導体層との間のpn接合容量を最小にすることができる。

【実施例】

第1図は、この発明の半導体装置の一実施例を製造する方法の一例を示す。

この例では、半導体基板10として、第1半導体層を成すp型シリコン半導体層11、例えばアンチモン鉱層からなる低抵抗の埋め込み層12、

及び第2半導体層を成すn型シリコンエピタキシャル層13を縦方向にこの順に有する半導体基板を用いる。

そして、先ず、第1図Aに示すように、この半導体基板10のn型シリコンエピタキシャル層13の全表面を薄く酸化して絶縁膜を成すシリコン酸化膜14を形成し、しかる後、シリコン酸化膜14上にNSG(ノンドープシリケートガラス)膜15をデポジットする。

次に、第1図Bに示すように、レジスト16をマスクとして、電極パッド形成予定部分の外線を2.5mm幅でNSG膜15をエッティングで除去して開口17を形成し、しかる後、第1図Cに示すように、レジスト16及び開口17の部分のシリコン酸化膜14を除去する。

次に、第1図Dに示すように、NSG膜15をマスクとして、n型シリコンエピタキシャル層13及び埋め込み層12を貫通してp型シリコン半導体層11に達するエッティングを行い、トレンチ18を形成する。

次に、第1図Eに示すように、前にマスクとして使用したNSG膜15をエッティングで除去した後、トレンチ18の底部にポロンをイオン注入してストップ領域19を形成し、かかる後、トレンチ18の側壁を薄く酸化して、シリコン酸化膜14を形成する。

次に、第1図Fに示すように、トレンチ18が完全に埋め込まれるように、誘電体であるポリシリコン20をデポジットし、かかる後、最初に形成したシリコン酸化膜14の位置までポリシリコン20をエッティングして平坦にする。これにより、トレンチ18で囲まれて、p型シリコン半導体層（第1半導体層）11、埋め込み層12、及びn型シリコンエピタキシャル層（第2半導体層）13は、トレンチ18の周囲のすなわち外側のp型シリコン半導体層11、埋め込み層12、及びn型シリコンエピタキシャル層13と誘電体分離される。

次に、第1図Gに示すように、フィールド酸化を行なってシリコン酸化膜14を厚くした回路素

子（図示せず）を作り、かかる後、シリコン酸化膜14上にワイヤボンディング用の電極パッド21を形成する。この電極パッド21は、回路素子用の配線導体（図示せず）よりも幅広（大面积）に形成される。

第2図Aは、第3図に示された従来の半導体装置を示し、また、第2図Bは第1図に示された方法によって製造されたこの発明の半導体装置の実施例を示す（第1図Gに対応）。また、第2図Cは電極パッド21の内側100μmに分離用誘電体（ポリシリコン20）を形成したこの発明の半導体装置の実施例を示し、第2図Dは電極パッド21の外側100μmに分離用誘電体（ポリシリコン20）を形成したこの発明の半導体装置の実施例を示す。これらの図に示された電極パッドは、いずれも1辺が500μmの正方形である。

次に示す第1表は、第2図A及至Dに示された半導体装置の電極パッドと半導体基板裏面との間の容量の測定値と、第2図Aの従来例に対する第2図B、C及びDのこの発明の各実施例の容量の

減少率とを示す。

[第1表]

	第2図 A	第2図 B	第2図 C	第2図 D
容量測定 値 [pF]	8.17	5.74	7.28	6.70
第2図A に対する 減少率 %	0	30	11	18

この第1表に示されているように、第2図B、C及びDの、この発明の各実施例は、電極パッドと半導体基板裏面との間の容量を、第2図Aの従来例に対して、それぞれ30%、11%及び18%減少させることができる。したがって、これらの実施例によれば、電極パッド21と半導体基板10の裏面との相互干渉を小さくでき、高周波特性を向上させることができる。

最も好ましいのは、分離用誘電体を構成するポリシリコン20を電極パッド21の外縁に沿うように形成した、換言すればポリシリコン20の横方向の断面形状を電極パッド21の外縁と実質的に同一にした第2図Bの実施例であり、この実施例が容量を最も減少させることができる。

なお、上記実施例においては、第1及び第2半導体層11及び13をそれぞれp型シリコン半導体層及びn型シリコンエピタキシャル層としたが、シリコン以外の例えはゲルマニウム等の半導体であってもよい。

また、上述の実施例では、絶縁膜14としてシリコン酸化物を使用したが、他の絶縁物も使用でき、絶縁物を多層構造にしてもよい。

また、上述の実施例では、分離用誘電体20としてポリシリコンを使用したが、他の誘電体も使用できる。

さらに、上述の実施例では、分離用誘電体20が内側と外側の第1半導体層11及び埋め込み層12だけではなく第2半導体層13をも分離して

いるが、内側と外側の第1半導体層11及び埋め込み層12を分離すれば十分である。

ただし、第1図及び第2図の実施例のように、第2半導体層13も分離するようすれば、トレンチの形成が容易であり、半導体装置の製造が簡単になる。

【発明の効果】

以上の説明から明らかなように、この発明によれば、埋め込み層と第1半導体層との間のpn接合容量の横方向の広がりを限定できるので、電極パッドと半導体基板裏面との間の容量を小さくでき、入力信号の高周波成分が前記容量を介して他に与える影響を小さくでき、また、入力信号の劣化を抑制できる。

4. 図面の簡単な説明

第1図は、この発明による半導体装置の一実施例を製造する方法の各工程を示す断面図、第2図は、従来の半導体装置の一例及びこの発明の各実施例の半導体装置の断面図を示す図、第3図は、

従来の半導体装置の一例を示す断面図である。

10：半導体基板

11：第1半導体層（p型シリコン半導体層）

12：埋め込み層

13：第2半導体層（n型シリコンエピタキシャル層）

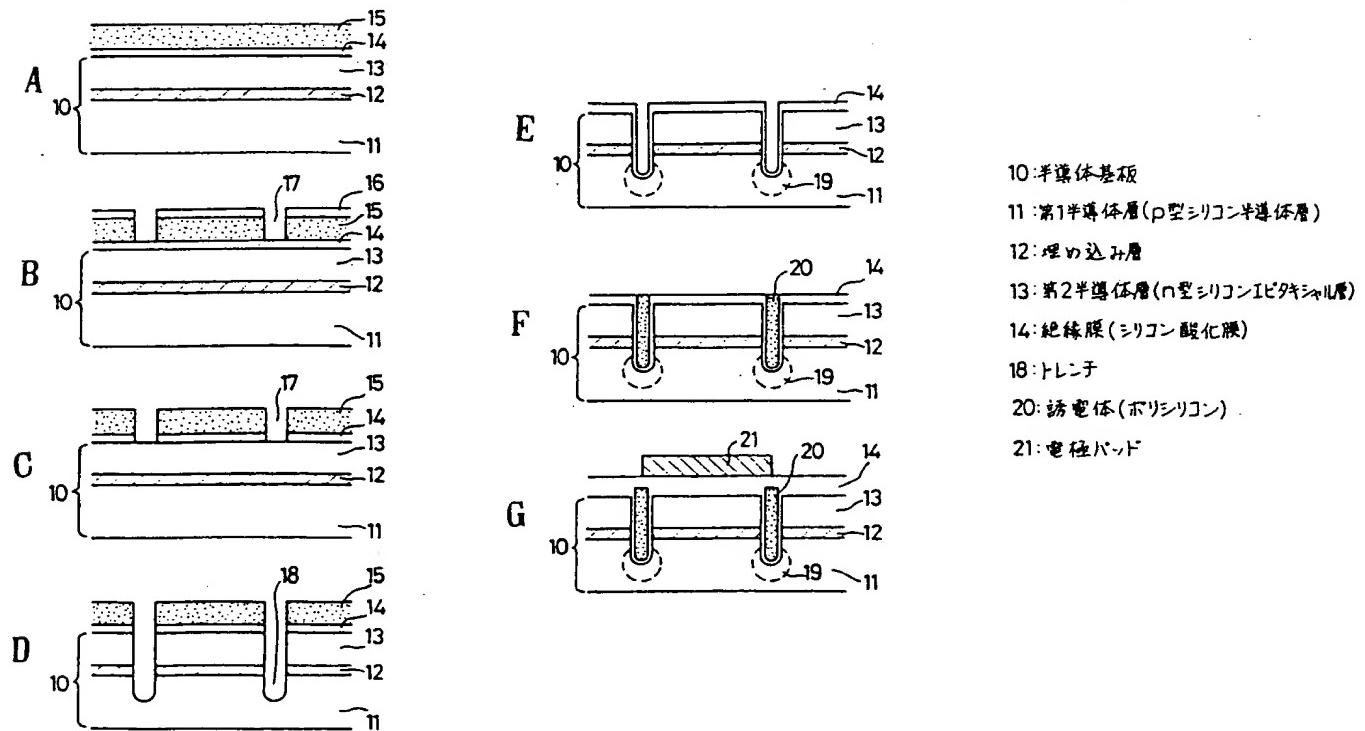
14：絶縁膜

18：トレント

20：誘電体（ポリシリコン）

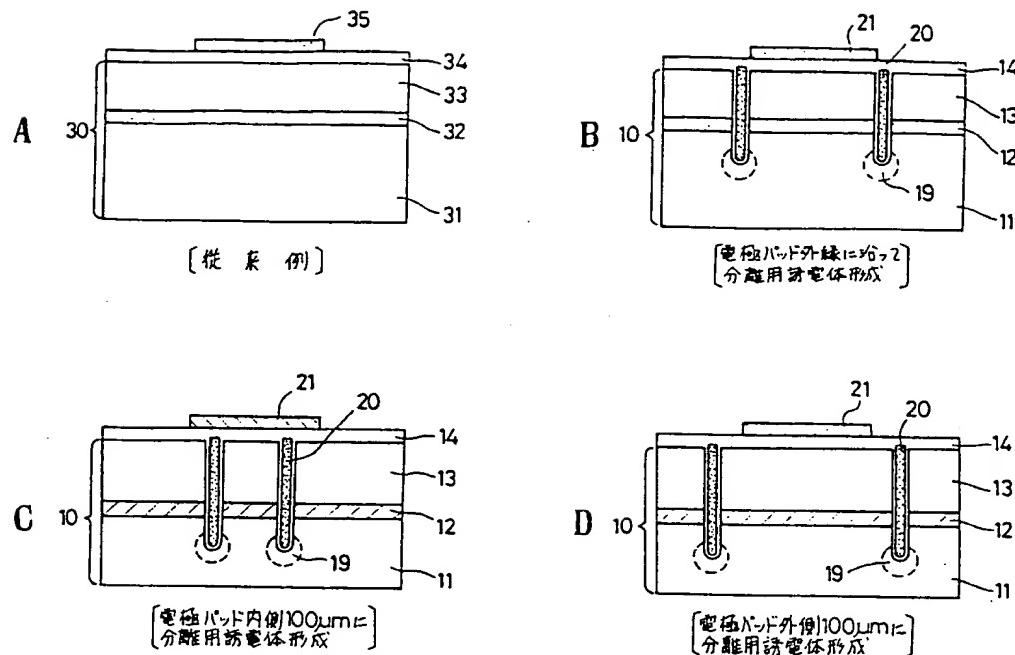
21：電極パッド

代理人 弁理士 佐藤正美

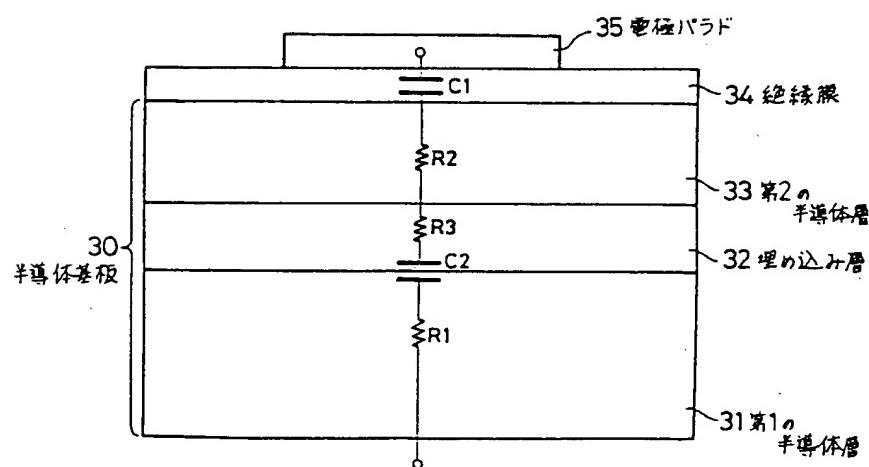


本発明の半導体装置の製法

第1図



各実施例断面図
第2図



従来例
第3図